

DIALOG(R)File 352:Derwent WPI

(c) 2001 Derwent Info Ltd. All rts. reserv.

008877382 **Image available**

WPI Acc No: 1992-004653/199201

Related WPI Acc No: 1993-311826; 1996-473396; 1997-499659

XRPX Acc No: N92-003409

**Liquid-crystal display panel - has scanning-line drive and signal line
drive circuits along periphery of pixel region on glass substrate**

NoAbstract Dwg 1/7

Patent Assignee: HITACHI LTD (HITA)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 3259123	A	19911119	JP 9056372	A	19900309	199201 B

Priority Applications (No Type Date): JP 9056372 A 19900309

Title Terms: LIQUID; CRYSTAL; DISPLAY; PANEL; SCAN; LINE; DRIVE; SIGNAL;
LINE; DRIVE; CIRCUIT; PERIPHERAL; PIXEL; REGION; GLASS; SUBSTRATE;
NOABSTRACT

Derwent Class: P81; U14

International Patent Class (Additional): G02F-001/13; H01L-027/12;
H01L-029/78

File Segment: EPI; EngPI

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

03596223 **Image available**

DISPLAY DEVICE, MANUFACTURE OF DISPLAY DEVICE, AND SUBSTRATE FOR
DISPLAY

PUB. NO.: 03-259123 [JP 3259123 A]

PUBLISHED: November 19, 1991 (19911119)

INVENTOR(s): MOCHIZUKI YASUHIRO

APPLICANT(s): HITACHI LTD [000510] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 02-056372 [JP 9056372]

FILED: March 09, 1990 (19900309)

INTL CLASS: [5] G02F-001/136; G02F-001/1333; G02F-001/1343; H01L-027/12;
H01L-029/784

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2
(ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R011 (LIQUID CRYSTALS); R096 (ELECTRONIC MATERIALS --
Glass Conductors)

JOURNAL: Section: P, Section No. 1312, Vol. 16, No. 60, Pg. 127,
February 14, 1992 (19920214)

ABSTRACT

PURPOSE: To manufacture the display device efficiently by setting the minimum working size of semiconductor elements formed in a display area smaller than the minimum working size of semiconductor elements outside the display area.

CONSTITUTION: The minimum working size of the semiconductor elements formed in the display area 11 is made smaller than the minimum working size of the semiconductor elements in areas 12 and 13 other than the display area. Namely, a picture element part 11 is formed by repeating the same pattern in two dimensions and worked finely by performing alignment and exposure divisionally plural times. A lead-out wiring part, on the other hand, is not the repetition of the same pattern frequently and a peripheral circuit part which is large in working rule is worked finely by batch exposure.

formed having proper constitution without increasing the number of manufacture processes.

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

平3-259123

⑫ Int.Cl.⁵

G 02 F 1/136
1/1333
1/1343
H 01 L 27/12
29/784

識別記号

5 0 0
5 0 0

庁内整理番号

9018-2K
7724-2K
9018-2K
7514-4M

⑬ 公開 平成3年(1991)11月19日

9056-4M H 01 L 29/78 311 A
審査請求 未請求 請求項の数 11 (全9頁)

⑭ 発明の名称 表示装置、表示装置の製造方法及び表示用基板

⑮ 特願 平2-56372

⑯ 出願 平2(1990)3月9日

⑰ 発明者 望月 康弘 桃城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

⑱ 出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑲ 代理人 弁理士 小川 勝男 外2名

明細書

1. 発明の名称

表示装置、表示装置の製造方法及び表示用基板

上記基板は、表示領域と、表示領域以外の領域とに分かれ。

上記半導体素子は、上記表示領域及び表示領域以外の領域に形成され。

上記表示領域以外の領域に形成された上記半導体素子の耐圧は、上記表示領域に形成された上記半導体素子の耐圧より大きいことを特徴とする。

2. 特許請求の範囲

1. 少なくとも一つの基板と、

上記基板上に形成された複数の半導体素子と、

上記半導体素子によって、制御される表示体

1. 上記基板は、表示領域と、表示領域以外の領域とに分かれ。

上記半導体素子は、上記表示領域及び表示領域以外の領域に形成され。

上記表示領域に形成された上記半導体素子の最小加工寸法は、上記表示領域以外の領域に形成された上記半導体素子の最小加工寸法より小さいことを特徴とする表示装置。

2. 少なくとも一つの基板と、

上記基板上に形成された複数の半導体素子と、

上記半導体素子によって、制御される表示体

上記基板は、表示領域と、表示領域以外の領域とに分かれ。

上記半導体素子は、上記表示領域及び表示領域以外の領域に形成され。

上記表示領域に形成された上記半導体素子のリーク電流は、上記表示領域以外の領域に形成された上記半導体素子のリーク電流より、小さいことを特徴とする表示装置。

と、

4. 少なくとも一つの基板を準備する工程と、

上記基板を表示領域と表示領域以外の領域とに分けて、それぞれの領域に半導体素子を形成する工程と、

上記半導体素子によって、制御される表示体を形成する工程とを有し、

上記表示領域への半導体素子の形成は、分割露光方法にて行い、

上記表示領域以外の領域への半導体素子の形成は、一括露光方法にて行うことを特徴とする表示装置の製造方法。

5. 特許請求の範囲第4項記載の表示装置の製造方法において、

上記分割露光方法の実施に当たつては、隣接する分割領域間に跨る配線部分の連結のために上記配線幅以上の寸法を重ねるとともに、ネガ型のフォトレジストを用いて露光することを特徴とする表示装置の製造方法。

6. 特許請求の範囲第5項記載の表示装置の製造方法において、

上記分割露光方法の実施に当たつては、隣接

する分割領域間に跨る配線部分の連結のために上記配線幅以上の寸法を重ねるとともに、ネガ型のフォトレジストを用いて露光することを特徴とする表示装置の製造方法。

7. 特許請求の範囲第1項乃至第3項において、上記半導体素子は、薄膜トランジスタであることを特徴とする表示装置。

8. 少なくとも一つの基板と、

上記基板上に形成された複数の半導体素子と、

上記基板は、表示領域と、表示領域以外の領域とに分かれ、

上記半導体素子は、上記表示領域及び表示領域以外の領域に形成され、

上記表示領域に形成された上記半導体素子の最小加工寸法は、上記表示領域以外の領域に形成された上記半導体素子の最小加工寸法より、小さいことを特徴とする表示用基板。

9. 特許請求の範囲第1項乃至第3項において、上記半導体素子は、多結晶シリコンを誘動層とする薄膜トランジスタであることを特徴とする

表示装置。

10. 特許請求の範囲第1項乃至第3項において、上記表示領域内の上記半導体素子は、非晶質シリコンを誘動層とする薄膜トランジスタであることを特徴とする表示装置。

11. 特許請求の範囲第1項乃至第3項において、上記表示領域以外の領域の上記半導体素子は、

するものには例えば、特開昭64-2088号、特開昭60-26932号等が挙げられる。

更に、TFTパネルに冗長性を付与し大画面パネルの歩留り向上のため一つの画素に複数のTFT素子を配置する構成が知られている。これらに関するものには特開昭63-186216号、特開昭61-121034号等が挙げられる。

タであることを特徴とする表示装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、表示装置、表示装置の製造方法及び表示用基板に係り、特に液晶表示用として好適な表示装置、表示装置の製造方法及び表示用基板に関する。

(従来の技術)

液晶表示装置用のTFTパネルにおいて、各画素毎のTFT素子とそれらを駆動する周辺回路を同一基板上に形成した周辺回路内蔵型アクティブマトリックスパネルが知られている。これらに

分割露光法としては、特開昭61-180275号等がある。

(発明が解決しようとする課題)

上記従来技術においては、各画素用のTFTと周辺回路用のTFTの構造については特別の配慮がなされておらず、このため両者のTFTとも特性を最良のものにするのは困難であるという問題がある。

本発明の目的は、優れた特性を有する表示装置及び表示用基板を提供することにある。さらに、優れた特性を有する表示装置及び表示用基板を比較的容易に得ることのできる表示装置の製造方法

を提供することにある。

本発明の他の目的は、各画素用 TFT 及び周辺回路用 TFT を簡単な方法でそれぞれ最適な構造を形成し、高めた特性を示すパネルを提供することにある。

本発明のその他の目的は、大画面の TFT パネルをパターン密度が低れてかつ効率的に製造する方法を提供することにある。

【課題を解決するための手段】

上記目的を達成するための本発明の特徴は、

1) 表示装置において、少なくとも一つの基板と、上記基板上に形成された複数の半導体素子と、上記半導体素子によつて、制御される表示体と、上記基板は、表示領域と、表示領域以外の領域とに分かれ、上記半導体素子は、上記表示領域及び表示領域以外の領域に形成され、上記表示領域に形成された上記半導体素子の最小加工寸法は、上記表示領域以外の領域に形成された上記半導体素子の最小加工寸法より小さいことを特徴とする。

2) 表示装置の製造方法において、少なくとも

一つの基板を準備する工程と、上記基板を表示領域と表示領域以外の領域とに分けて、それぞれの領域に半導体素子を形成する工程と、上記半導体素子によつて、制御される表示体を形成する工程とを有し、上記表示領域への半導体素子の形成は、分割露光方法にて行い、上記表示領域以外の領域への半導体素子の形成は、一括露光方法にて行うことを特徴とする。

3) 表示用基板において、少なくとも一つの基板と、上記基板上に形成された複数の半導体素子と、上記基板は、表示領域と、表示領域以外の領域とに分かれ、上記半導体素子は、上記表示領域及び表示領域以外の領域に形成され、上記表示領域に形成された上記半導体素子の最小加工寸法は、上記表示領域以外の領域に形成された上記半導体素子の最小加工寸法より、小さいことを特徴とする。

上記した本発明の目的／特徴及び上記以外の本発明の目的／特徴については、以下の記載によりさらに明らかにされる。

【作用】

上記目的を達成するために、画素部分の TFT の微細加工ルールを周辺回路部分の TFT の、微細加工ルールより小さく形成することにしたものである。ここで微細加工ルールとは、TFT を形成するための最小加工寸法 (Si の島の大きさ、ゲートの幅や長さ、コンタクトホール、配線層の幅) 及びこれらのマスク合せのための干渉干渉

更に、そのため製造プロセス中のホトリソグラフィ工程において、加工ルールの大きい周辺回路部分は一括露光、加工ルールの小さい画素部分は分割露光により微細加工することにしたものである。

液晶表示装置用の周辺回路内蔵アクティブマトリックスパネルにおいては、画素部分及び周辺回路部分の特徴は次の点がある。

(1) 画素部分の TFT の寸法を小さくすると、画質が大きくでき鮮明な画像が得られる。高精細用の表示装置ではこの傾向は益々強く望まれ

る。一方、周辺回路部分は TFT の加工寸法の制約は少なく、比較的大きな素子を用いることができる。

(2) 後で述べる第1図 (b)(c) に示すように画素部分は同一パターンの二次元的繰返しであり、ホトリソグラフィの工程を一枚の基板につき複数回に分割してアライメントと露光をくり返すフレートリソソーマーによるマスクの繰返しでない場合が多く、分割露光のたびにホトマスクの変更が必要となり作業性が悪い。このため、基板上の 1 パネル分の周辺回路領域は 1 回のアライメントと露光による一括露光方式が望ましい。

(3) TFT の特性上では、画素部分は TFT の寸法を小さくすることによりリーク電流 (オフ電流) を低減でき鮮明な画像が得られる。周辺回路部分は TFT の寸法を大きくしてソース・ドレイン間を高耐圧化し、駆動能力を大きくすることができる。

(4) TFTパネル用の基板は一般に歪点約550~650°Cのガラス基板が用いられる。このガラス基板は製造工程中の熱処理により変形する。特に湾曲と取締の問題が大きく、ガラス基板周辺部は寸法シフトが大きくなる。画素部分はガラス基板の中央部に配置するため微細加工しやすくTFTの寸法も小さくできるが、周辺回路部分はガラス基板の周辺部に配置されるため、バターン合せ等のためにTFTの加工寸法を大きくした方が容易に作成できる。

【実施例】

以下、本発明の実施例を図面を用いて詳細に説明する。

実施例1

第1図(a),(b),(b')及び(d)は本発明の一実施例の周辺回路を内蔵した液晶表示用TFT基板の平面模式図一部分解剖視図、その平面パターン及びカラー液晶表示装置の斜視断面図を示す。符号10はガラス基板で、その品位は歪点645°C、大きさは60mm×1.1tである。符号11

表示装置として用いられる。ガラス基板501上に、形成された信号電極504と走査電極503とがマトリクス状に形成されたその交差点近傍に薄膜トランジスタ502が形成され、透明電極よりなる画素電極501を駆動する。電気光学材である液晶層506を挟んで対向するガラス基板508上には透明電極よりなる対向電極506およびカラーフィルタ505が形成され、一方のガラス基板505が設けられる。これによって表示体となる画素が形成される。光源からの光の通過を画素電極501部分で調節することにより薄膜トランジスタ(TFT)駆動型のカラー液晶表示装置が構成される。

第2図は上記TFTの断面模式図を示す。画素用TFT及び周辺回路用TFTも平面寸法(バターン)が異なるので全く同じプロセスで作成される。

ガラス基板20の表面に、膜厚60nmの多結晶シリコン膜21を基板温度550°Cの減圧CVD

は各画素のスインチ用のTFTをマトリクス状に配置した表示領域たる画素領域で横4.8mm、縦3.6mmであり、50μm□の個々の画素が横860ドット、縦720ドット、合計69万個配置されている。この画素の中には最小寸法3μmの多結晶シリコンTFTが設置されている。TFTはMOS構造でその加工寸法はゲート長10μm、ゲート幅3μmである。12及び13は画素用TFTを駆動するための表示領域以外の領域である周辺回路領域で、約2万個の最小寸法は6μmの多結晶シリコンTFTが配置されている。12は垂直シフトレジスタから成る走査線駆動回路、13はサンプリングトランジスタ、分割マトリクス及び水平シフトレジスタから成る信号駆動回路が構成されている。代表的TFTの加工寸法は負荷MOSのゲート長30μm、ゲート幅10μm、ドライバMOSのゲート長6μm、ゲート幅50μmである。

なお、本実施例で形成されたアクティブマトリクス基板は第1図(d)に示すようにカラー液晶

法で形成し、更に600°C、20時間窒素雰囲気中でアニールした後、ホトリソグラフィによりパターニングした。このパターニングサイズは前述の様に画素用TFTと周辺回路用TFTでは異なる。次に膜厚120nmのゲート絶縁膜としてのシリコン酸化膜22及び膜厚200nmのゲート電極としての多結晶シリコン膜23を堆積させ、

シリコン酸化膜22は、画素用TFT部は周辺回路用TFT部に比べて最小加工寸法が小さい。その後、今日広く用いられているセルフアライン法によるリンのイオン打込み・アニールにより、ソース領域24、ドレイン領域25を形成した。その後、ITOの透明電極及びアルミニウム配線層を形成した。

表1は上記方法により形成したTFTの特性を示す。1基板内5点、3基板の測定の平均値を示す。画素部のTFTの特徴は、オフ電流が小さいことであり、これはTFTの微細加工によるものである。一方、周辺回路部のTFTの特徴は、ソ

表 1 TFT 特性

項目	画素部 TFT	周辺回路部 TFT
オン電流(A)	2×10^{-8}	4×10^{-8}
オフ電流(A)	1×10^{-11}	4×10^{-11}
しきい値電圧(V)	7.5V	7.5
ソース・ドレイン間耐圧(V)	22	28
キャリア移動度(cm ² /V·S)	28	35

ース・ドレイン間の耐圧が高く、またキャリア移動度が大きいことであり、これは TFT の寸法が大きくて多結晶シリコン層の局所的なブレークダウンやパンチスルーが防止できるため及び多結晶シリコン層表面でのキャリア移動度のロスが低減されるためである。耐圧としては、画素部用 TFT は約 10 ~ 20 V、周辺駆動回路 TFT は約 30 V 以上が望ましい。

実施例 2

次に画面サイズ 14" (通常サイズ、正確には 268.8 mm × 187.2 mm, 対角 12.9") の大画面液晶表示装置に適用した例を第 3 図を用いて説明する。

大きさ 300 × 235 mm² のガラス基板 30 を用いて、実施例 1 と同様に周辺回路内蔵 TFT パネルを形成した。ただし、一画素の大きさは 240

× 80 μm²、画素数は 1120 × 780 である。

画素部 31 の TFT の寸法はゲート長 50 μm、ゲート幅 8 μm、周辺回路部 32 の TFT の寸法はゲート長 50 μm、ゲート幅 50 μm であり、最小配線幅は両者とも 10 μm であり、画素の開口率は 60.5% である。

製造プロセスは上記実施例 1 と同様であるが、ホトリソグラフィにおいては第 3 図に示す様に、周辺回路部 32 (走査駆動回路と信号線駆動回路) は一括露光、画素部 31 は 12 回の分割露光とした。即ち、まず一括露光で走査駆動回路と信号線駆動回路を露光し、次に 5" ホトマスクを用いて画素部 31 を点線で示した 12 区画に分け

て分割露光した。この時、分割露光領域の境界での走査線及び信号線の断線を防止するため第 4 図に示す様に次の方法による。まず、ホトレジストはネガタイプを用い、分割露光のエリアを配線幅 W と同じ 10 μm (第 4 図中 (a)) 以上重複して露光した。この結果、第 1 の分割露光における紫外線照射部分 (ハッチング部 b) 及び第 2 の分割露光における紫外線照射部分 (ハッチング部 c)

の向上、特にオフ電流低減のためゲート分割構造 (マルチゲート構造) の TFT を採用した。

第 5 図は画素分割の平面パターンを示す。製法は実施例 2 と同様であるが、1 画素 50 を走査線 51 で上下 2 つの領域に分け、それぞれの領域に 1 つずつ計 2 つの TFT 52a, 52b を設置した。これにより、1 つの TFT が破損しても 1 画素の 1/2 の面積は ON/OFF でき、---

ジストを残存させることができ、配線の断線を防止できる。なお、二重に紫外線照射を受けた部分は、通常の一回紫外線照射を受けた部分によってほぼ埋まれており、パターン精度に悪影響を及ぼすことはない。これにより、分割露光領域の境界における接続パターンの形状に特別な配慮をすることなく良好な配線接続が可能となつた。

本方式により大画面基板にも高精度のパターン形成が可能となつた。

実施例 2 において、TFT パネルの歩留り向上法として画素分割を試みた。また更に TFT 特性

52b の構造もゲート電極 53a, 53b を 8 ミクロンで 3 分割した。なお、54 は両 TFT 52a, 52b に共通の信号線、55a と 55b は TFT のソース領域に接続された透明電極 (ITO) を示す。この構造では、1 画素 50 の開口率は 49.7% が得られており、実用的には充分な輝度が得られる。またゲート分割構造 (マルチゲート電極構造) により、オフ電流は半減させることができ、液晶表示装置としての画面内の輝度の変化が小さく高品位の画像が得られる。

本発明は、液晶表示装置における画素部と周辺

回路のTFTのみならず、駆動回路内蔵の各種センサ、例えば、イメージセンサ、シリコン半導体のピエゾ抵抗効果を利用した圧力センサ、感熱記録用ヘッド等にも適用できる。

また、第6図及び第7図はTFT-LCDの画素部及び周辺回路部のパターンサイズの異なりを示すトマスク平画パターン図である。

Si島の大きさ及びA1配線の幅が画素部と周辺回路部で異なることが明確になっていることが判る。

すなわち、第6図は、第1図(o)に示す領域Aのパターンを示し、第7図は、第1図(c)に示す領域Bのパターンを示す。

本発明の特徴のいくつかを列挙すると、

1. 液晶表示装置用の周辺駆動回路を同一基板上に内蔵したアクティブマトリックスパネルにおいて、画素部分のトランジスタの加工寸法を周辺駆動回路部分のそれより小さくしたこと。
2. 液晶表示装置用の周辺駆動回路を同一基板上に内蔵したアクティブマトリックスパネルにお

いて、周辺駆動回路部分のトランジスタの耐圧を画素部分のそれより大きくしたこと。

3. 液晶表示装置用の周辺駆動回路を同一基板上に内蔵したアクティブマトリックスパネルにおいて、画素部分のトランジスタのリーク電流を周辺駆動回路部分のそれより小さくした。

4. 薄膜トランジスタは多結晶シリコンを主体とすること。

5. 薄膜トランジスタパネルの製造方法において、周辺駆動回路部分は一括露光方式、画素部分は分割露光方式とすること。

6. 分割露光の境界附近の配線の連結は、ネガ型ホトレジストを用い配線幅以上の寸法を重ねて露光すること。

7. 薄膜トランジスタパネルを用いて液晶表示装置を形成すること。

本発明によれば、液晶表示用TFTアクティブマトリックスパネルの周辺回路部と画素部をそれぞれ適切な構成に製造プロセスの工程数を増やすことなく形成できる。このため、高精細パネルの

形成、大画面パネルの高精度形成、冗長システムの適用による歩留り向上が達成できる。

すなわち、LCD用TFTでは一枚の基板に1つの欠陥があると原則としては不合格となる。

LSIではSiウエハを小さくペレタイズするため1ウエハ内に欠陥があつてもそのペレットのみ不良となり他のペレットは良品とすることができる。

1) 欠陥を防止する方法

2) 欠陥があつても動作する方法、冗長方式が検討されている。

冗長方式(システム)の例としては

- a) 1画素に複数個のTFTを作成し、1つが欠陥でも他の動作して正常な画像を示す。
- b) 配線の断線が生じても二重配線することにより正常動作させる。
- c) ゲート電極とドレイン電極がショートすると十文字の欠陥(縦、横1列の画素が全てだめになる)が発生するが、ゲートラインとゲート電

極の間に適切な抵抗値を挿入することにより点欠陥(1画素のみ)にできる。

などがある。

本発明では特に新規な冗長アイデアはないが、パターン精度を区別することで上記の冗長アイデアが取り入れやすくなる。

明細書中の用語について、補足説明すると、

ナノメートル、アーチカル、ミクロン、ミクロン

、マイクロメートル、ミリメートルなどの微細加工の大きさ第2図24の幅、第4図b、cの幅。

耐圧とは、MOS構造のTFTのソース・ドレン間の耐圧(耐圧を決める要因は、Si島の大きさ(ゲート長)、厚み、不純物濃度等である)である。

同一基板とは、TFT工程の最初のスタート材料であるガラス基板LSI工程のSiウエハに相当する。

別の基板を調接したり、貼合せる場合は、個々の基板に別々のプロセスでTFTを作成することが可能である。

リーク電流とは、TFTのオフ電流（ゲート電圧（nチャンネルでは負バイアス）印加時のソース・ドレイン漏電流）を言う。

一括露光、分割露光とは、元来は一枚の基板全面を一枚のホトマスクを用いて一回のアライメントと露光で実施する方法が一括露光方式であり、基板全面を複数回のアライメント露光に分けて実施する方法が分割露光である。

ここでは、周辺四隅領域は一回のアライメントと露光で、画素領域は複数回のアライメントと露光に分けて実施する方法をいう。

配線幅とは、走査用バスライン及び信号用バスラインをいう。

【発明の効果】

本発明によれば、優れた特性を有する表示装置及び表示用基板を提供することにある。さらに、優れた特性を有する表示装置及び表示用基板を比較的容易に得ることのできる表示装置の製造方法を提供することができる。

4. 図面の簡単な説明

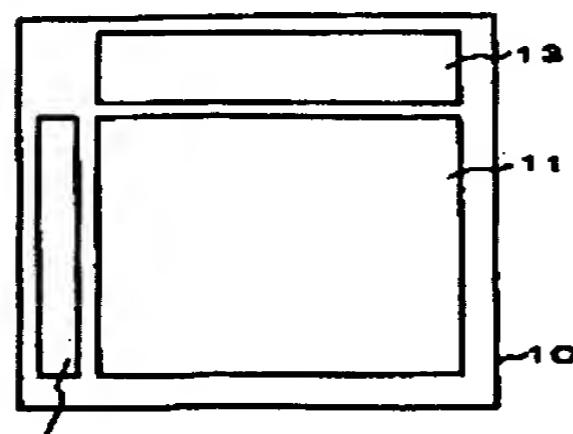
第1図(a) (c) は本発明の一実施例を説明するためのTFTパネルの平面模式図、第1図(b) (d) は、液晶表示装置の断面斜視図、第2図は本発明の実施例のTFT構造を示す断面模式図、第3図及び第4図は本発明の他の実施例のTFTパネルの平面模式図及びその局部拡大図、第5図は本発明の他の実施例を示す液晶表示装置の画素部の平面模式図、第6図及び第7図は、基板上に形成されたパターン説明するための平面図である。

10, 30…基板、11, 31…画素領域、32…周辺四隅領域、50…画素。

代理人 弁理士 小川勝男

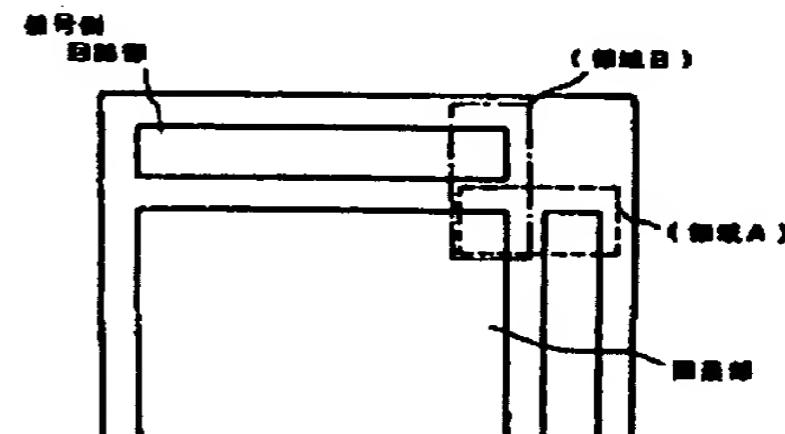


第1図(a)

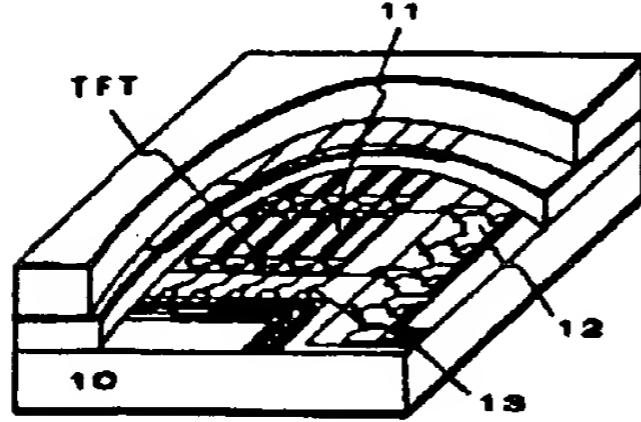


12……主走査線回路
13……信号走査線回路

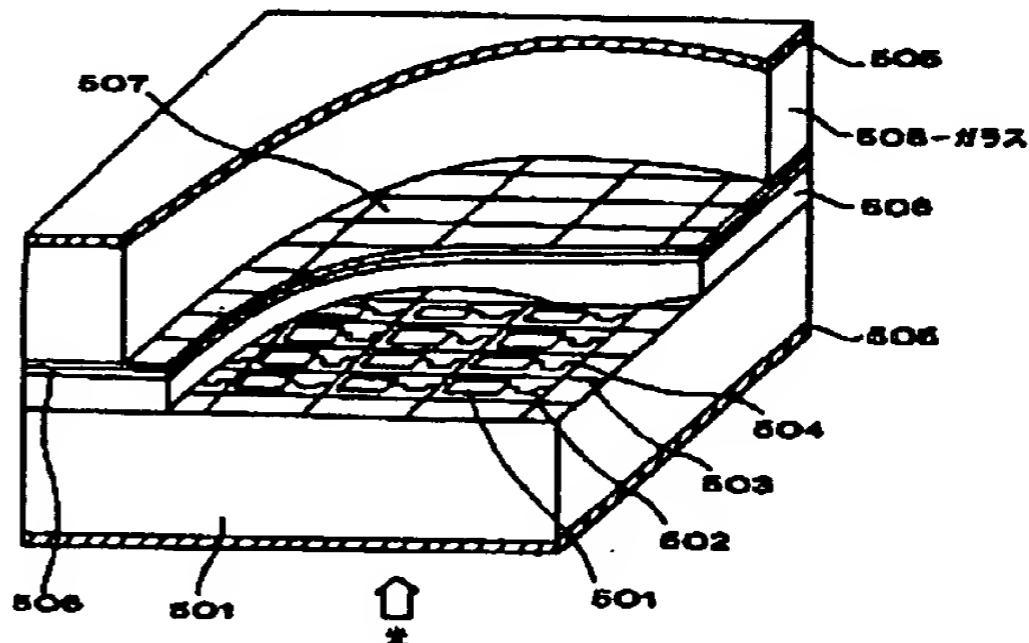
第1図(c)



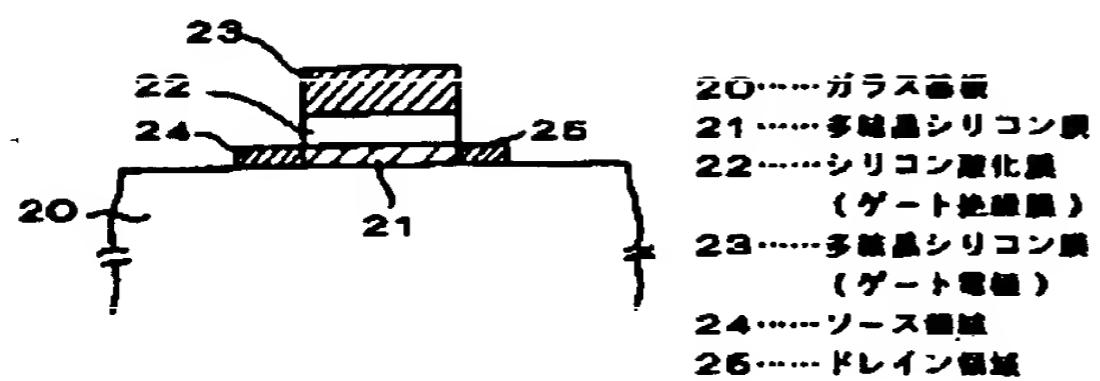
第1図(b)



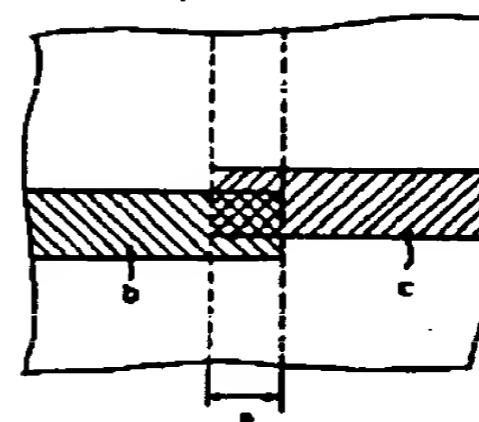
第1図(d)



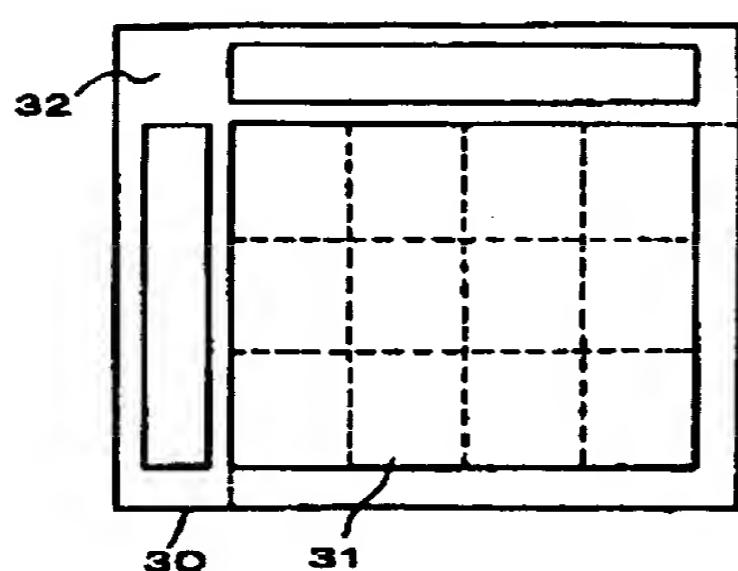
第 2 図



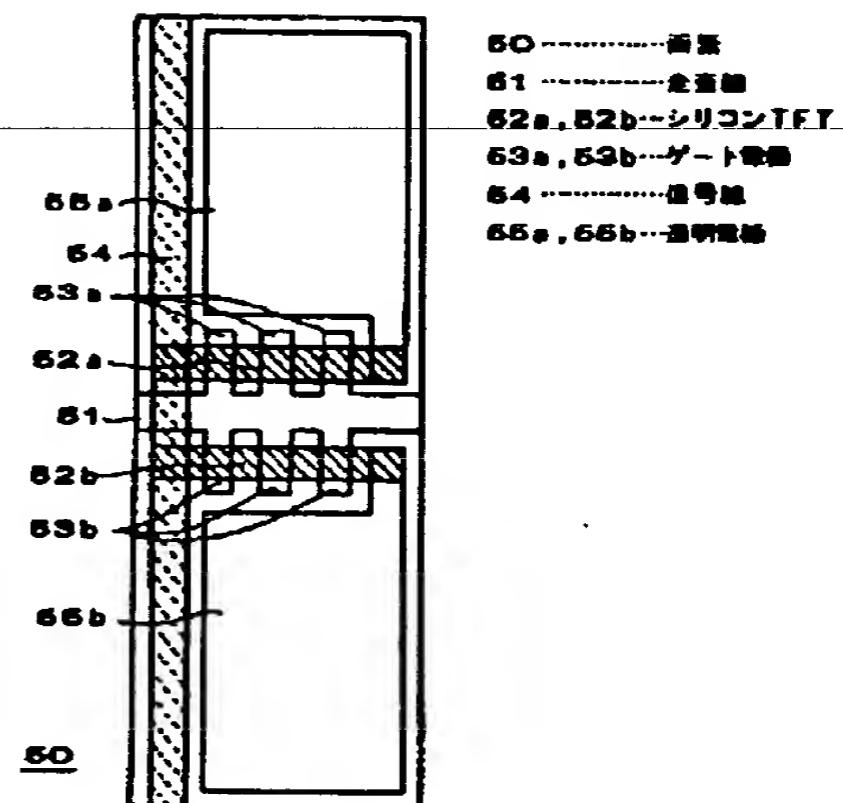
第 4 図



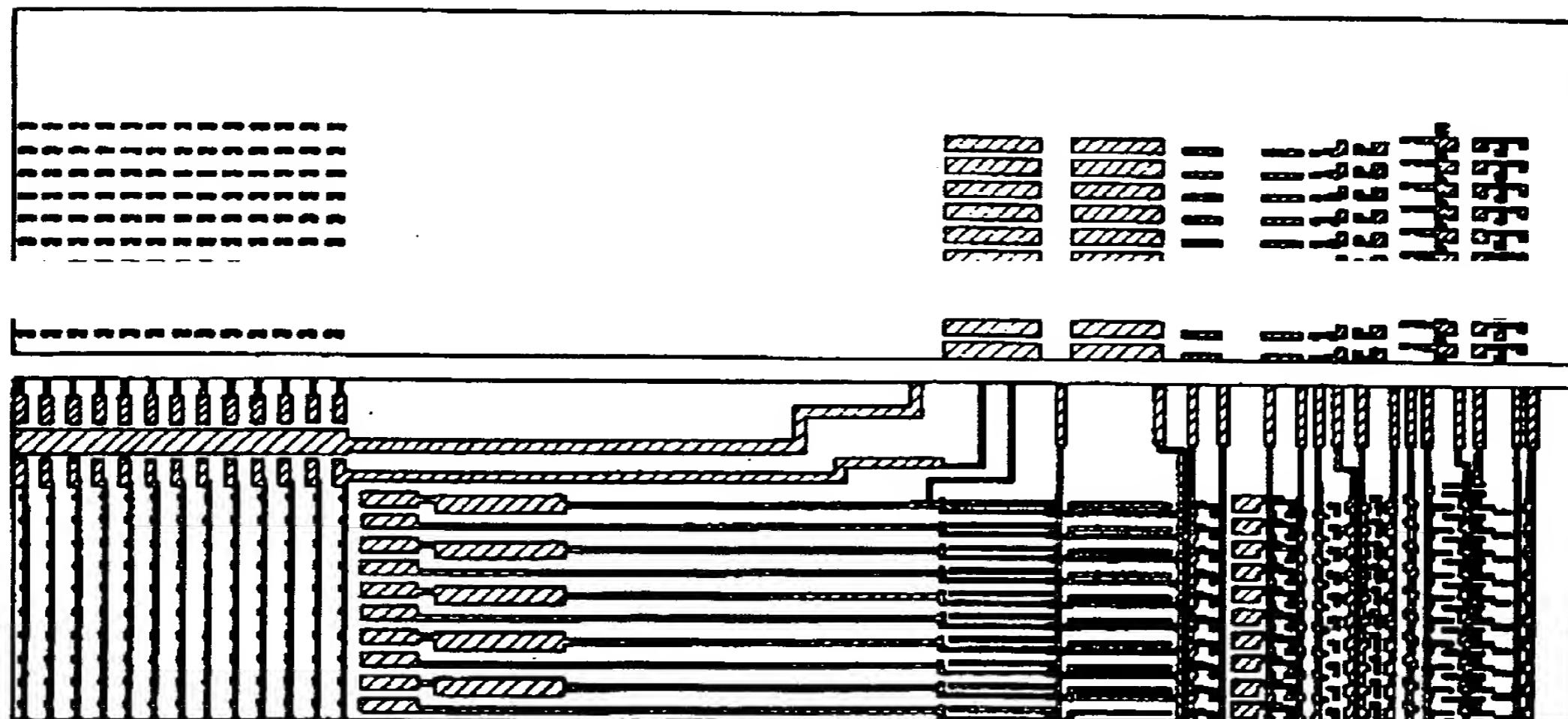
第 3 図



第 5 図



第 6 図



第7図

